

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-130506
 (43)Date of publication of application : 01.05.1992

(51)Int.CI. G05F 1/56
 H02M 3/155

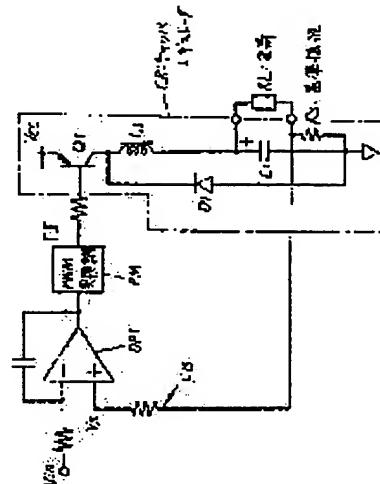
(21)Application number : 02-251503 (71)Applicant : YOKOGAWA ELECTRIC CORP
 (22)Date of filing : 20.09.1990 (72)Inventor : YASUDA YOSHIHIDE
 MATSUMURA KEN

(54) UNIFIED SIGNAL OUTPUT DEVICE

(57)Abstract:

PURPOSE: To reduce power consumption and to suppress internal temp. rising so as to obtain highly reliable system by executing the switching operation of an output transistor.

CONSTITUTION: A differential amplifier means OP1 amplifies the difference between an input signal V_{in} and a feed back signal V_s impressed via a return circuit FB and a PWM conversion means PM outputs a signal with the pulse width of a duty ratio corresponding to a differential signal from the differential amplifier means OP1 to execute the switching operation of an output transistor Q1. The charging and discharging of a condenser C1 is repeated corresponding to the ON/OFF of the output transistor Q1 and the voltage across the condenser, accordingly the voltage applied to a series circuit composed of a load RL and a reference resistance RS takes a value corresponding to an output current and the load RL . Thus, the power consumption can be reduced by the switching operation being conducted by the output transistor. Furthermore, the radiation amount of the output transistor can be suppressed and reliability can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平4-130506

⑬ Int. Cl. 5
G 05 F 1/56
H 02 M 3/155

識別記号 310 T J
庁内整理番号 8938-5H
7829-5H

⑭ 公開 平成4年(1992)5月1日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 統一信号出力装置

⑯ 特 願 平2-251503
⑰ 出 願 平2(1990)9月20日

⑱ 発明者 安田 嘉秀 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
⑲ 発明者 松村 謙 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
⑳ 出願人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号
㉑ 代理人 弁理士 小沢 信助

明 紹 書

1. 発明の名称

統一信号出力装置

2. 特許請求の範囲

入力信号を増幅する増幅手段と、
この増幅手段からの信号をパルス幅信号に変換するPWM変換手段と、
PWM変換手段からのパルス幅信号によりオン／オフされる出力トランジスタと、

この出力トランジスタによってオン／オフされた電流が流れるインダクタンス素子とコンデンサとの直列回路と、

前記コンデンサの両端に得られた電圧が印加される負荷および基準抵抗と、

前記インダクタンス素子とコンデンサとの直列回路に並列に接続したダイオードと、

基準抵抗に生じた電圧を前記増幅手段の入力端に負帰還する帰還回路手段とを備えた統一信号出力装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、例えば、1～5Vあるいは0～2.5Vといった入力電圧信号を、4～20mAといった規格化された統一信号に変換して負荷に出力する統一信号出力装置に関し、さらに詳しくは、消費電力の削減が可能で、調節計やシグナルコンディショナー等に適用して有効な統一信号出力装置に関する。

<従来の技術>

第3図は、従来のこの種の統一信号出力装置の一例を示す構成ブロック図である。

入力信号V_{1-n}は、増幅器OP1により増幅され電流制御用のトランジスタQ1に与えられる。トランジスタQ1のエミッタには、負荷R_Lと基準抵抗R_Sとが直列に接続されており、基準抵抗R_Sに発生する電圧V₁が増幅器OP1の入力端に帰還されている。

ここで、負荷R_Lは0～600Ω程度であり、入力電圧V_{1-n}が例えば0.4～2.0Vに対して、負荷R_Lに出力される統一電流が例えば4～

20mAになるように変換する。この場合、基準抵抗RSとして、例えば10Ωのものが用いられる。

＜発明が解決しようとする課題＞

この様な構成の従来のこの種の装置においては、出力トランジスタQ1のコレクタ・エミッタ間電圧Vceは、負荷抵抗RL、出力電流に依存しており、例えば最大出力電流20mAが負荷に流れている状態では、電源電圧Vcc=15Vとすると、出力回路での消費電力は、300mWとなる。この為に、この種の装置を複数の入力信号に対応して複数個使用するようなシステムにおいては、消費電力が大きくなる上に内部温度上昇を来すという問題があった。

本発明は、この様な問題点に鑑みてなされたもので、その目的は、出力トランジスタをスイッチング動作させることにより、消費電力の削減を図り、内部温度上昇を抑えて信頼性の高いシステムを提供することにある。

＜課題を解決するための手段＞

出力トランジスタは、PWM変換手段からのパルス幅信号のデューティレシオに応じてスイッチング動作する。

出力トランジスタ、インダクタンス素子、コンデンサ、ダイオードは、降圧型チャッパレギュレータを構成しており、負荷にその出力電流と負荷抵抗の値に対応した電圧を印加する。

帰還回路手段は、基準抵抗に生じた電圧を増幅手段の入力側に負帰還し、増幅手段は入力信号とこの帰還信号が等しくなるように誤差信号を出力する。

これにより、統一化された範囲で入力信号に対応した電流を負荷に流すことが可能となる。

＜実施例＞

以下図面を用いて、本発明の実施例を詳細に説明する。

第1図は、本発明の一実施例を示す構成ブロック図である。図において、OP1は統一信号に変換すべき入力信号V1nを増幅する差動増幅手段、PMは差動増幅手段OP1からの信号をパルス幅

前記した課題を解決する本発明は、

入力信号を増幅する増幅手段と、

この増幅手段からの信号をパルス幅信号に変換するPWM変換手段と、

PWM変換手段からのパルス幅信号によりオン/オフされる出力トランジスタと、

この出力トランジスタによってオン/オフされた電流が流れるインダクタンス素子とコンデンサとの直列回路と、

前記コンデンサの両端に得られた電圧が印加される負荷および基準抵抗と、

前記インダクタンス素子とコンデンサとの直列回路に並列に接続したダイオードと、

基準抵抗に生じた電圧を前記増幅手段の入力側に負帰還する帰還回路手段とを備えて構成される。

＜作用＞

上記の各構成要素は、以下のような作用を行う。

PWM変換手段は、増幅手段の出力電圧に応じたデューティレシオのパルス幅信号を出力する。

信号に変換するPWM変換手段、Q1はPWM変換手段からのパルス幅信号によりオン/オフされる出力トランジスタである。

RLは負荷、RSは負荷RLと直列に接続された基準抵抗、C1は負荷RLと基準抵抗との直列回路(負荷回路)に対して並列に接続されたコンデンサ、L1はコンデンサC1と直列に接続されたインダクタンス素子で、出力トランジスタQ1によってオン/オフされた電流が、このインダクタンス素子L1を介してコンデンサC1に流れる。

D1はインダクタンス素子L1とコンデンサC1との直列回路に並列に接続したダイオードである。

出力トランジスタQ1、インダクタンス素子L1、コンデンサC1、ダイオードD1は、降圧型チャッパレギュレータCRを構成しており、負荷RLにその出力電流と負荷抵抗の値に対応した電圧を印加するようになっている。

FBは基準抵抗RSに生じた電圧VSを差動増幅手段OP1の他方の入力端(+)に帰還する帰

還回路手段である。

このように構成した装置の動作を、次に説明する。差動増幅手段OP1は、一方の入力端(+)に印加された入力信号Vi nと、帰還回路FBを介して印加される帰還電圧VSとの差を増幅する。

PWM変換手段は、差動増幅手段OP1からの誤差信号に応じたデューティレシオのパルス幅信号を出力し、出力トランジスタQ1をスイッチング動作させる。

出力トランジスタQ1は、この例では、PNP形のものが用いられており、PWM変換手段PMからのパルス幅信号がローレベルにあるときは、オン、ハイレベルの時はオフとなる。出力トランジスタQ1がオンとなると、電源Vccからインダクタス素子L1を介してコンデンサC1に電流が流れ、コンデンサC1が充電される。また、出力トランジスタQ1がオフとなると、コンデンサC1に蓄えられた電荷は、負荷RL、基準抵抗RSを介して放電する。従って、コンデンサC1には、出力トランジスタQ1のオン/オフに応じて

このように構成した装置によれば、出力トランジスタQ1は、スイッチング動作をしているので、ここでの消費電力を少なくすることができる。

第2図は、本発明の他の実施例を示す構成ブロック図である。

この実施例では、PWM変換手段PMを、三角波信号発生器SGと、この三角波信号発生器からの三角波信号と増幅手段OP1からの信号とを比較するコンパレータOP2とで構成したものである。ここで三角波信号発生器SGは、ツエナードイオードD3に得られる基準電圧を入力する演算増幅器OP3と、この演算増幅器OP3の出力を積分する積分器INTで構成されており、一定周期の三角波信号を出力するように構成されている。

出力トランジスタQ1は、2つのトランジスタQ2、Q3をダーリントン接続したものが用いてある。基準抵抗RSと負荷RLとの直列回路は、負荷RLの一端側がコモンラインに接続されるようにしておらず、基準抵抗RSはコモンラインから浮いている。このため、差動増幅器OP5を設け、

充放電が繰り返され、その両端電圧、従って負荷RLと基準抵抗RSとの直列回路に印加される電圧は、出力電流及び負荷RLに応じた値となる。

基準抵抗RSの両端に生ずる電圧VSは、帰還回路FBを経て差動増幅手段OP1の入力端に負帰還されている。

いま、入力信号Vi nが増加すると、差動増幅手段OP1の出力信号は減少し、この結果PWM変換手段PMからのパルス幅信号のディューティレシオは減少する。この場合、出力トランジスタQ1はオンとなる時間が増加して、負荷RLに印加される電圧の値が大きくなる。この結果基準抵抗RSの両端に得られる帰還電圧VSも大きくなる。帰還電圧VSが、大きくなると、やがて入力信号Vi nと帰還電圧VSが等しくなり(VS=Vi n)、動作は安定して、負荷RLに入力信号Vi nに対応する電流を流すことができる。

負荷に流れる電流の変化範囲(スパン)は、基準抵抗RSの値を調整することにより、変更することができる。

基準抵抗RSに生ずる帰還電圧VSを、差動増幅器OP5を経て得るようにし、この差動増幅器OP5の出力を期間回路FBを経て増幅手段OP1の入力端に帰還している。

なお、基準抵抗RSと負荷RLとの間には、オフセット抵抗Roffと、ダイオードD2とが挿入接続してある。このダイオードD2とオフセット抵抗Roffは、負荷RLの値が、0Ωの時、コンデンサC1の両端に少し電圧が発生するようするためのもので、これにより、レギュレーション動作を安定化させている。また、負荷RLの値が小さい状態で、基準抵抗RSの両端に発生するリップル電圧をコモンモード化する機能を有しており、電流検出の精度を上げるようにしている。

この実施例によれば、三角波信号発生器SGからの三角波信号を、図示していない他の統一信号出力回路のPWM変換手段において、共通に使用することができ、また負荷RLの一端をコモンラインに接続することができるので、複数の入力信号をそれぞれ統一した電流信号に変換して複数の負

荷に供給するような場合に有効である。

＜発明の効果＞

以上詳細に説明したように、本発明は、負荷の状態（抵抗の大きさ）、出力電流に応じて負荷に印加される電圧値をスイッチング制御するようにしたもので、消費電力効率を向上させることができ、また出力トランジスタによる内部損失が少なくなるので、発热量を押さええることができ、信頼性を高めることができる。

次の表は、電源電圧 V_{cc} を 24V とした場合、第2図の実施例回路における、負荷の値と出力電流の値による装置内部の消費電力 (mW) を示す実験データである。

負荷の値	0Ω	250	600
出力電流	4mA	205	207
	20mA	277	296

L1…インダクタンス素子

D1…ダイオード、FB…帰還回路手段

代理人 井理士 小沢信助

第3図に示す従来回路の場合、負荷の値にかかわらず、例えば出力電流 20mA の時の装置内部での消費電力は 580mW であり、負荷が小さくなればなる程、装置内部での消費電力の割合が多くなり、負荷 0Ω (負荷がショート) では、580mW の全て (100%) 内部で消費することとなる。本発明を適用したものは、消費電力は最大で 312mW となっており、従来のものに比べて内部消費電力が相当減少し、発熱が抑えられることが分かる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す構成ブロック図、第2図は本発明の他の実施例を示す構成ブロック図、第3図は従来のこの種の統一信号出力装置の一例を示す構成ブロック図である。

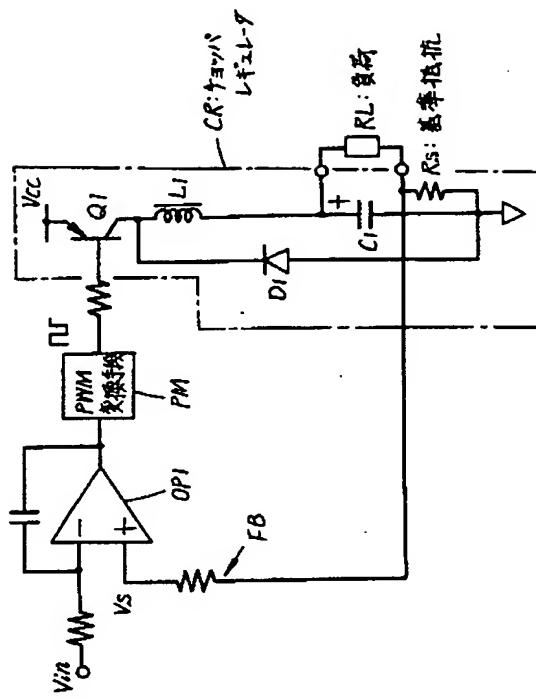
O P 1 … 増幅手段、P M … PWM 変換手段、

Q 1 … 出力トランジスタ

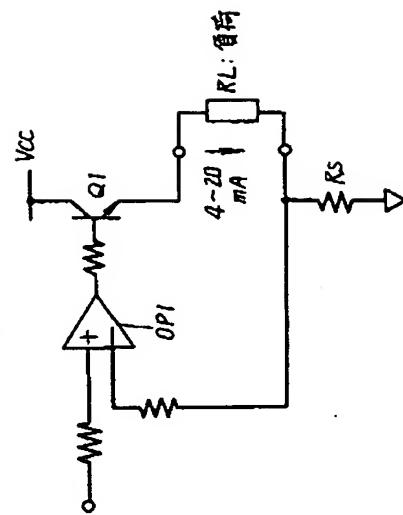
R L … 負荷、R S … 基準抵抗、

C 1 … コンデンサ、

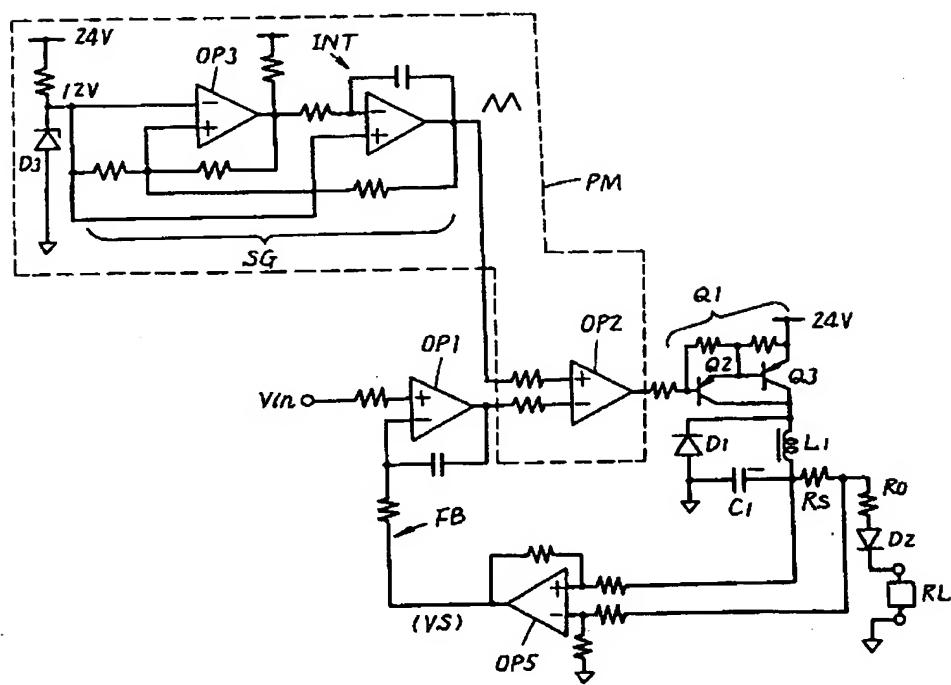
第 1 図



第 2 図



第 2 図



THIS PAGE BLANK (USPTO)